

А. Д. Иванников, д-р техн. наук, проф., adi@ippm.ru,
А. Л. Стемповский, д-р техн. наук, проф., академик РАН, ippm@ippm.ru,
Институт проблем проектирования в микроэлектронике РАН, г. Москва

Итерационные методы решения систем многозначных логических уравнений при моделировании цифровых систем управления объектами

Статья посвящена анализу методов решения систем многозначных логических уравнений методами итерации. С помощью итерационных методов решения реализуется математическое описание основного процесса функционально-логического моделирования, которое выполняется на этапе проектирования цифровых систем управления объектами для проверки правильности проекта. Рассмотрение многозначных (конечнозначных) значений логических сигналов на выводах блоков и элементов цифровых систем объясняется тем фактом, что в ряде случаев для анализа правильности временных соотношений при моделировании технических средств цифровых систем используется несколько значное представление двоичных логических сигналов, а также тем, что в последнее время ведется разработка логических элементов, реализующих четырех и более значную логику. На основе анализа структуры системы логических уравнений, используемой при моделировании цифровой аппаратуры, с применением графовых и логических моделей проводится анализ существования решений и их числа. Анализируются итерационные методы простой и обобщенной итерации, показывается связь между числом решений системы уравнений и ее графовым представлением, отражающим заданную схему соединения элементов технических средств цифровой системы управления. Для метода обобщенной итерации рассматриваются варианты с различным строением следа итерации, в частности, показывается, что при определенном строении следа итерации обобщенная итерация превращается в простую итерацию или итерацию Зейделя. Показано, что обобщенная итерация наиболее адекватно описывает процесс моделирования переключения логических сигналов в моделируемой схеме технических средств цифровых систем управления. Показано соответствие между различными вариантами функционально-логического моделирования цифровых систем и используемыми методами итерационного решения систем логических уравнений.

Ключевые слова: функционально-логическое моделирование проектов, цифровые системы управления объектами, многозначные логические уравнения, методы простой и обобщенной итерации

Введение

При проектировании цифровых систем управления объектами функционально-логическое моделирование на уровне соединения блоков и элементов схемы технических средств является необходимым для проверки правильности проекта. Для проверки правильности функционирования разрабатываемой системы управления осуществляется моделирование изменений логических сигналов как на выходе всей системы управления, так и в узлах соединения блоков и элементов технических средств цифровой системы. При этом для каждого изменения входных сигналов необходимо определять новые логические значения сигналов в узлах схемы [1–3], т. е. осуществлять решение системы многозначных (конечно значных) логических уравнений. Многозначность логических переменных обусловлена наличием кроме состояний 0 и 1 высокоимпедансного (отключенного) состояния на линиях и шинах цифровых блоков, представлением сигналов на шинах одним многозначным сигналом [4, 5], а также представлением процесса переключения значений сигналов в виде несколько

значных логических сигналов, что используется при моделировании в целях верификации временных диаграмм [6, 7]. Кроме того, в настоящее время ведется разработка цифровых блоков, использующих четырехзначное представление логических сигналов, а также логических сигналов другой значности [8–11].

Специфический вид системы уравнений, а также тот факт, что модели блоков цифровых систем задаются не аналитически, а в виде подпрограмм, обуславливают использование итерационных методов решения уравнений. Целью данной работы является исследование системы многозначных (конечнозначных) логических уравнений с точки зрения существования корней и их определения итерационными методами применительно к используемым методам функционально-логического моделирования цифровых систем на этапе проектирования.

Условия существования решений и их число

Рассмотрим систему

$$x_i = f_i(x_1, \dots, x_n, x_{n+1}, \dots, x_{n+l}), \quad (1)$$

где $x_i, i = 1, \dots, n + l$, — логические переменные значности $|Z_i|$; $x_i, i = n + 1, \dots, n + l$, — входные переменные; $f_i, i = 1, \dots, n$, — логические функции значности $|Z_i|$; Z_i — конечное множество значений i -х переменной и функции, причем для каждого $x_i, i = 1, \dots, n$, в системе (1) имеется только одно уравнение.

Одновременно с системой (1) будем рассматривать ее представления в виде ориентированного графа $G(V, E)$, $V = V' \cup V_{\text{вх}}$, где каждой вершине $v, v \in V$, изоморфна переменная $x_i, i = 1, \dots, n$, (множество V') или входная переменная $x_i, i = n + 1, \dots, n + l$, (множество $V_{\text{вх}}$). Ориентированное ребро e_{ij} направлено от v_i к v_j , если x_i является аргументом f_j . На рис. 1 в качестве иллюстрации приведена схема соединений логических элементов двоичной логики и соответствующий граф.

При фиксированных значениях входных переменных сети $x_{n+1}, \dots, x_{n+l}$ система (1) имеет следующий вид:

$$x_i = h_i(x_1, \dots, x_n), i = 1, \dots, n, \quad (2)$$

Если мы рассматриваем частный случай двузначной логики, то решение $(x'_1, \dots, x'_n)$ системы (2) существует, если для всех функций, входящих в систему (2), значения $h_i(x'_1, \dots, x'_n)$ определены, т. е. равны либо нулю, либо единице. Сформулируем условия существования решения для системы (2) в более общем случае конечнзначности переменных.

Для конечнзначной логической функции $h_i(x_1, \dots, x_n)$ с областью значений $Z_i = \{z_1, \dots, z_{k_i}\}$ введем в рассмотрение булеву функцию

$$eq(h; x_1, \dots, x_n, z) = \begin{cases} 1 & \text{при } h(x_1, \dots, x_n) = z, \\ 0 & \text{при } h(x_1, \dots, x_n) \neq z. \end{cases}$$

Теорема 1. Для существования решения $x_1 = x'_1, \dots, x_n = x'_n$ системы конечнзначных логических уравнений (2) необходимо и достаточно, чтобы

$$\bigcap_{i=1}^n \left(\bigcup_{j=1}^{k_i} eq(h_i; x'_1, \dots, x'_n, z_j^i) \right) = 1, \quad (3)$$

где $\{z_1^i, \dots, z_{k_i}^i\}$ — множество Z_i значений функции h_i .

Число решений системы (2) равно числу различных наборов $(x'_1, \dots, x'_n)$, для которых выполняется условие (3).

Доказательство

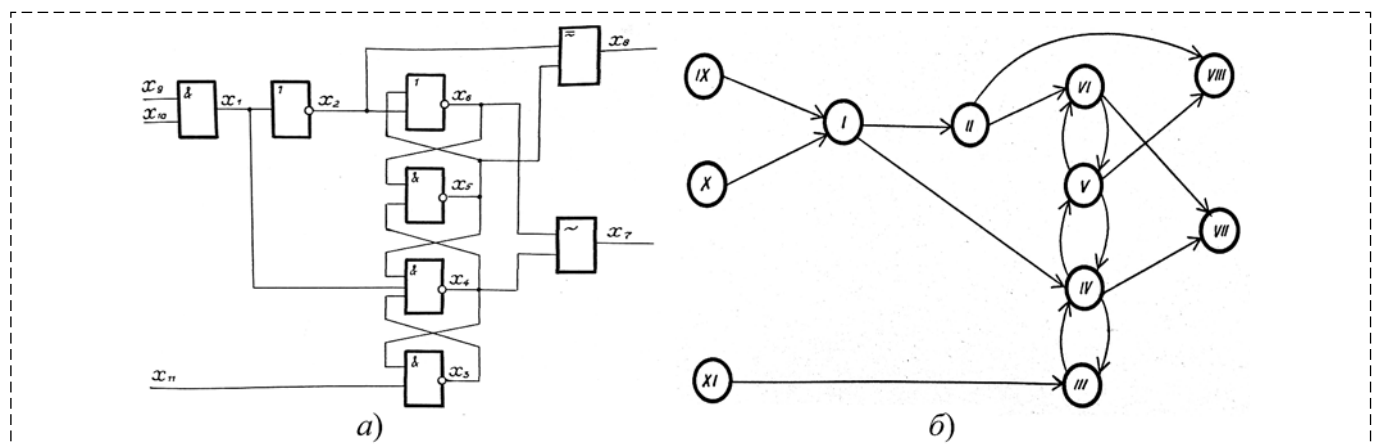
Для истинности i -го члена конъюнкции (3) для $x'_1, \dots, x'_n$ необходимо, чтобы $eq(h_i; x'_1, \dots, x'_n, z_j^i) = 1$. При этом x'_i может принимать одно из значений множества $\{z_1^i, \dots, z_{k_i}^i\}$. Если x'_i равно одному из значений из множества $\{z_1^i, \dots, z_{k_i}^i\}$, то дизъюнкция из (3) истинна.

Для истинности конъюнкции необходимо, чтобы все члены конъюнкции были истинны, т.е. необходимо, чтобы

$$\bigcap_{i=1}^n \left(\bigcup_{j=1}^{k_i} eq(h_i; x'_1, \dots, x'_n, z_j^i) \right) = 1. \quad (4)$$

Следовательно, условие (3) является необходимым для существования решения (2).

Пусть на некотором наборе $x'_1, \dots, x'_n$ справедливо условие (3). Поскольку конъюнкция логических выражений истинна при равенстве единице каждой из них, то для каждого уравнения (2) справедливо условие (4). Следовательно, существует такое z_j^i , что $x'_i = z_j^i$, т. е. одним из термов левой части равенства (4)



является $eq(h_i; x'_1, \dots, x'_n, x'_i)$, причем последнее выражение равно единице. Тогда при $x_1 = x'_1, \dots, x_n = x'_n$ i -е уравнение (2) превращается в тождество. Достаточность условия (3) доказана.

В силу достаточности условия (3) число решений системы (2) равно числу различных наборов $x'_1, \dots, x'_n$, для которых выполняется условие (3).

Теорема доказана.

Следствие. Если функции $h_1, h_2, \dots, h_n$ в системе уравнений (2) можно упорядочить так, чтобы каждая последующая функция зависела только от значений предыдущих, т. е. в виде

$$h_{i_1}, h_{i_2}(x_{i_1}), h_{i_3}(x_{i_1}, x_{i_2}), \dots, h_{i_n}(x_{i_1}, x_{i_2}, \dots, x_{i_{n-1}}), \quad (5)$$

то система (2) имеет единственное решение.

Действительно, в силу Теоремы 1 для этого необходимо иметь единственный набор $x'_{i_1}, \dots, x'_{i_n}$, такой что

$$\left(\bigcup_{j=1}^{k_1} eq(h_{i_1}; z_j^1) \right) \cdot \dots \cdot \left(\bigcup_{j=1}^{k_l} eq(h_{i_l}; x'_1, \dots, x'_{i_{l-1}}, z_j^l) \right) \cdot \dots \cdot \left(\bigcup_{j=1}^{k_n} eq(h_{i_n}; x'_1, \dots, x'_{i_{n-1}}, z_j^n) \right) = 1.$$

В силу того, что конъюнкция выражения равна единице при равенстве единице всех выражений, справедливость следствия эквивалентна тому, что существует единственный набор $x'_{i_1}, \dots, x'_{i_n}$, такой что

$$\bigcup_{j=1}^{k_1} eq(h_{i_1}; z_j^1) = 1; \dots; \bigcup_{j=1}^{k_l} eq(h_{i_l}; x'_1, \dots, x'_{i_{l-1}}, z_j^l) = 1; \dots; \bigcup_{j=1}^{k_n} eq(h_{i_n}; x'_1, \dots, x'_{i_{n-1}}, z_j^n) = 1. \quad (6)$$

При фиксированных значениях входных переменных функция h_{i_1} есть константа. Следовательно, существует, и притом единственное, значение z_j^1 , при котором $h_{i_1} = z_j^1$, т. е. $eq(h_{i_1}; z_j^1) = 1$.

Примем $x'_{i_1} = z_j^1$.

Рассмотрим l -е равенство из соотношения (6). Пусть из предыдущих равенств (с первого по $(l-1)$ -е) определен единственный набор $x'_{i_1}, \dots, x'_{i_{l-1}}$. Функция h_{i_l} на этом наборе имеет какое-то определенное значение, т. е. определено единственное значение z_j^l , такое что $eq(h_{i_l}; x'_1, \dots, x'_{i_{l-1}}, z_j^l) = 1$. Примем $x'_l = z_j^l$.

Продолжив подобные рассуждения для оставшихся $x'_{i_{l+1}}, \dots, x'_{i_n}$, получим единственный набор $x'_{i_1}, \dots, x'_{i_n}$.

Следствие доказано.

Системе логических уравнений, которые могут быть упорядочены в виде (5), соответствует структурный ориентированный граф без циклов. В этом случае элементы логической сети являются ранжируемыми, и путем последовательной подстановки выражений для f_j вместо всех x_j в $f_i(x_1, \dots, x_j, \dots, x_{i-1})$ можно выразить все логические переменные (1) через входные переменные:

$$x_i = p_i(x_{n+1}, \dots, x_{n+l}), \quad i = 1, \dots, n,$$

где p_i — всюду определенные многозначные логические функции.

Рассмотрим вопрос о числе решений системы (2) в зависимости от структуры графа $G(\mathbf{V}, \mathbf{E})$. Граф $G'(\mathbf{V}', \mathbf{E}')$ получается из графа $G(\mathbf{V}, \mathbf{E})$ удалением вершин множества $\mathbf{V}_{\text{вх}}$ и выходящих из них ребер (вершины IX, X, XI , ребра $IX, I; X, I; XI, III$, рис. 1, б). Система (2) может иметь число решений, отличное от единицы, только в том случае, если граф $G'(\mathbf{V}', \mathbf{E}')$ имеет циклы. Ациклическая часть графа $G'(\mathbf{V}', \mathbf{E}')$, представляющая связь циклической части со входными переменными (вершины I, II , ребра $I, II; II, VI; II, VIII; I, IV$, рис. 1, б), соответствует переменным, значения которых однозначно определяются состоянием входных переменных. Выходная ациклическая часть графа $G'(\mathbf{V}', \mathbf{E}')$ (вершины $VII, VIII$, ребра $V, VIII; IV, VII$, рис. 1, б) представляет переменные, состояния которых однозначно определяются состояниями входов сети (возможно через состояния переменных входной ациклической части) и состояниями переменных циклической части. Состояния переменных выходной ациклической части всегда определены и не влияют на решение системы (2). Удалим из графа $G'(\mathbf{V}', \mathbf{E}')$ входную и выходную ациклические части и получим граф $G''(\mathbf{V}'', \mathbf{E}'')$ (рис. 2, а).

Найдем в $G''(\mathbf{V}'', \mathbf{E}'')$ такое множество вершин $\mathbf{V}_{\text{ц}}$, что после удаления ребер, выходящих из этих вершин, граф циклов не содержит, и $\prod_{v \in \mathbf{V}_{\text{ц}}} |\mathbf{Z}_v|$ минимально. Каждую вершину $v, v \in \mathbf{V}_{\text{ц}}$ преобразуем в две не связанные между собой вершины v^1 и v^2 таким образом, что в вершину v^1 входят все ребра, входившие в v , а из верши-

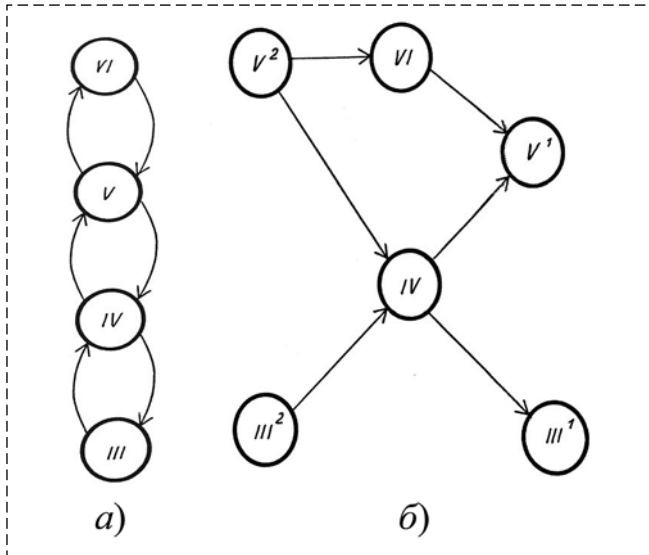


Рис. 2. Циклическая часть $G''(V'', E'')$ графа $G'(V, E)$ (а) и разделение вершин множества $V_{II} = \{III, V\}$ на входные и выходные (б)

Fig. 2. Cycle part $G''(V'', E'')$ of graph $G'(V, E)$ (a) and vertex set $V_{II} = \{III, V\}$ dividing onto input and output vertex ones (b)

ны v^2 выходят все ребра, выходявшие из вершины v . Тогда при заданных значениях входных переменных можно выразить переменные $x_{II1}^1, \dots, x_{IIk}^1$, соответствующие вершинам v^1 множества V_{II} , в виде $x_{IIi}^1 = q_i(x_{II1}^2, \dots, x_{IIk}^2)$, $i = 1, \dots, k$. Так как переменные x_{IIj}^1 и x_{IIj}^2 тождественны, то решение системы (2) может быть заменено решением системы

$$x_i = q_i(x_1, \dots, x_k); \quad i = 1, \dots, k; \quad \{v_1, \dots, v_k\} = V_{II}. \quad (7)$$

Число решений системы (7), а следовательно, и системы (2), не может превосходить $\prod_{v \in V_{II}} |Z_v|$. Таким образом, доказана следующая теорема.

Теорема 2. Решение системы (2) эквивалентно решению системы (7), причем число решений системы (2) не превышает $\prod_{v \in V_{II}} |Z_v|$.

Пусть в примере (см. рис. 1) система уравнений имеет вид

$$\begin{cases} x_1 = x_9 \cdot x_{10}; \\ x_2 = x_1; \\ x_3 = \overline{x_4 \cdot x_{11}}; \\ x_4 = \overline{x_4 \cdot x_3 \cdot x_5}; \\ x_5 = \overline{x_4 \cdot x_6}; \\ x_6 = x_2 + x_5; \\ x_7 = x_4 \cdot x_6 + \overline{x_4 \cdot x_6}; \\ x_8 = \overline{x_2 \cdot x_5} + x_2 \cdot \overline{x_5}, \end{cases}$$

причем $Z_1 = Z_2 = Z_3 = Z_4 = Z_5 = Z_6 = Z_7 = Z_8 = Z_9 = Z_{10} = Z_{11} = \{0, 1\}$.

При $x_9 = 1$, $x_{10} = 1$, $x_{11} = 1$ система запишется в виде

$$\begin{cases} x_1 = 1; \\ x_2 = \overline{x_1}; \\ x_3 = \overline{x_4}; \\ x_4 = \overline{x_1 \cdot x_3 \cdot x_5}; \\ x_5 = \overline{x_4 \cdot x_6}; \\ x_6 = x_2 + x_5; \\ x_7 = x_4 \cdot x_6 + \overline{x_4 \cdot x_6}; \\ x_8 = \overline{x_2 \cdot x_5} + x_2 \cdot \overline{x_5}. \end{cases} \quad (8)$$

После определения однозначно заданных $x_1 = 1$, $x_2 = 0$ и учета их значений в уравнениях для x_4 , x_6 , x_8 (удаление входной ациклической части графа $G'(V', E')$) получим:

$$\begin{cases} x_3 = \overline{x_4}; \\ x_4 = \overline{x_3 \cdot x_5}; \\ x_5 = \overline{x_4 \cdot x_6}; \\ x_6 = x_5; \\ x_7 = x_4 \cdot x_6 + \overline{x_4 \cdot x_6}; \\ x_8 = x_5. \end{cases}$$

Значения переменных x_7 , x_8 однозначно определяются значениями x_4 , x_5 , x_6 , т. е. значениями переменных циклической части, и не влияют на решение полученной системы уравнений. В связи с этим будем рассматривать решение системы

$$\begin{cases} x_3 = \overline{x_4}; \\ x_4 = \overline{x_3 \cdot x_5}; \\ x_5 = \overline{x_4 \cdot x_6}; \\ x_6 = x_5, \end{cases}$$

которая соответствует графу $G''(V'', E'')$ (рис. 2, а). Приняв $V_{II} = \{III, IV\}$, получим

$$\begin{cases} x_3 = x_3 \cdot x_5; \\ x_5 = x_5. \end{cases}$$

Эта система уравнений имеет три решения:

$$\begin{cases} x_3 = 0; \\ x_5 = 0; \end{cases} \begin{cases} x_3 = 0; \\ x_5 = 1; \end{cases} \begin{cases} x_3 = 1; \\ x_5 = 1. \end{cases}$$

В соответствии с этим система (8) имеет также три решения:

$$\begin{cases} x_1 = 1 \\ x_2 = 0 \\ x_3 = 0 \\ x_4 = 1 \\ x_5 = 0 \\ x_6 = 1 \\ x_7 = 1 \\ x_8 = 0 \end{cases}, \begin{cases} x_1 = 1 \\ x_2 = 0 \\ x_3 = 0 \\ x_4 = 1 \\ x_5 = 1 \\ x_6 = 0 \\ x_7 = 0 \\ x_8 = 1 \end{cases}, \begin{cases} x_1 = 1 \\ x_2 = 0 \\ x_3 = 1 \\ x_4 = 0 \\ x_5 = 1 \\ x_6 = 0 \\ x_7 = 1 \\ x_8 = 1 \end{cases},$$

в чем можно убедиться путем подстановки приведенных значений в систему (8).

Решение систем логических уравнений может быть осуществлено различными способами [12]. Однако специфический вид уравнений, а также тот факт, что при моделировании цифровых систем модели блоков задаются не аналитически, а в виде программных модулей, вычисляющих значения функции $f_1, \dots, f_n$ по заданным значениям аргументов $x_1, \dots, x_n$, обуславливают использование итерационных методов решения [3, 13].

Решение системы уравнений методом простой итерации

При решении системы (2) методом простой итерации используются формулы

$$\begin{cases} x_1^{(j)} = h_1(x_1^{(j-1)}, \dots, x_n^{(j-1)}); \\ \vdots \\ x_n^{(j)} = h_n(x_1^{(j-1)}, \dots, x_n^{(j-1)}), \end{cases} \quad j = 1, 2, \dots; \quad (9)$$

где $x_1^{(0)}, \dots, x_n^{(0)}$ — начальное приближение.

Система (9) есть унарная операция π [14], заданная на множестве состояний $\mathbf{W} = \{(z_{j_1}^1, \dots, z_{j_n}^n) | z_{j_1}^1 \in \mathbf{Z}_1, \dots, z_{j_n}^n \in \mathbf{Z}_n\}$. Моделью итерации может служить граф $H(\mathbf{W}, \mathbf{Q})$. Операция π задает множество ориентированных ребер $\mathbf{Q}$ таким образом, что в графе имеется ребро $q(w_k, w_l)$, если $\pi(w_k) = w_l$, где w_k и w_l — метки вершин. У рассматриваемого графа из каждой вершины выходит ровно одно ребро. Если r — решение системы (2), то $\pi(r) = r$, и вершина с меткой r имеет петлю. Верно и обратное: если вершина с меткой r имеет петлю, то r — решение системы (2).

Множество наборов функций $h_1, \dots, h_n$ в системе (2) изоморфно множеству графов

$H(\mathbf{W}, \mathbf{Q})$, имеющих $\prod_{i=1}^n |\mathbf{Z}_i|$ вершин, каждая из которых инцидентна ровно одному выходящему ребру. В связи с этим исследование решения системы (2) можно заменить исследованием свойств графов указанного вида.

Граф $H(\mathbf{W}, \mathbf{Q})$ состоит из одной или более компонент связности. На рис. 3 показан пример такого графа для случая двузначной логики.

Каждая компонента связности имеет цикл, достижимый из всех вершин компоненты. Если цикл является петлей, то компонента содержит решение; если цикл петлей не является, то компонента решения не содержит. Итерация сходится в том случае, если начальное приближение принадлежит компоненте связности, имеющей петлю. Так, при выборе начального приближения 101 или 110 (рис. 3) итерация сходится к корню 111, а при выборе начального приближения 011 — к корню 100. В случае же начальных приближений 000 или 001 итерация не сходится. Для того чтобы итерация сходилась при любом начальном приближении, необходимо, чтобы каждая компонента связности графа $H(\mathbf{W}, \mathbf{Q})$ имела вершину с петлей.

Рассмотрим множество операций $\bar{\pi} = \{\pi, \pi^2, \pi^3, \dots\}$, выполняемых над элементами множества $\mathbf{W}$ при одной, двух и т.д. итерациях. Операция π^2 есть преобразование $x_i = h_i(h_1(x_1, \dots, x_n), \dots, h_n(x_1, \dots, x_n))$; $i = 1, \dots, n$. Операция π^3 есть преобразование

$$\begin{aligned} x_i = & h_i(h_1(h_1(x_1, \dots, x_n), \dots, h_n(x_1, \dots, x_n)), \dots, \\ & \dots, h_n(h_1(h_1(x_1, \dots, x_n), \dots, h_n(x_1, \dots, x_n)), \dots, \\ & \dots, h_n(x_1, \dots, x_n))); \quad i = 1, \dots, n. \end{aligned}$$

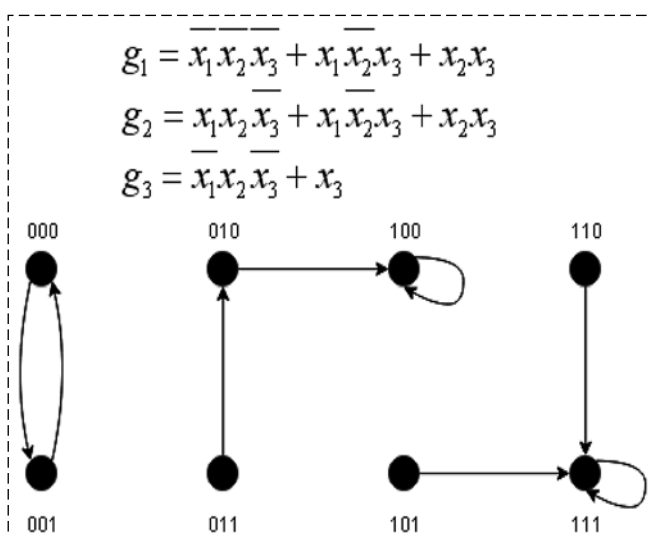


Рис. 3. Граф $H(\mathbf{W}, \mathbf{Q})$ простой итерации
Fig. 3. Graph $H(\mathbf{W}, \mathbf{Q})$ for simple iteration

Таким образом, определена циклическая полугруппа $\mathfrak{B} = \langle \pi, \cdot \rangle$, порождающим элементом которой является π . Так как число логических функций от n конечнозначных переменных конечно, то пара показателей $\langle l_1, l_2 \rangle$ полугруппы $\mathfrak{B}$ [14] такова, что $l_2 > 1$, т. е. $\pi^{l_2} = \pi^{l_1}$, где $l_1 > l_2$.

Если каждая компонента связности $H_j(\mathbf{W}_j, \mathbf{Q}_j)$ графа $H(\mathbf{W}, \mathbf{Q})$ имеет вершину с петлей, т. е. итерация сходится при любом начальном приближении, то $\pi^l = \pi^{l+1} = \pi^{l+2} = \dots$. Иными словами, начиная с π^l , все элементы полугруппы $\mathfrak{B}$ совпадают, где l — длина максимальной цепи в графе $H(\mathbf{W}, \mathbf{Q})$, причем $\pi^l(w) = r_j$, где w — любая вершина, принадлежащая $H_j(\mathbf{W}_j, \mathbf{Q}_j)$, а r_j — корень компоненты H_j . Если граф $H(\mathbf{W}, \mathbf{Q})$ имеет одну компоненту связности, то $\pi^l(w) = r$ для $w \in \mathbf{W}$, а r — единственное решение системы (2). Таким образом доказана следующая теорема.

Теорема 3. Если в циклической полугруппе $\mathfrak{B}$, задаваемой соотношениями (9), $\pi^{l+1} = \pi^l$, то итерация всегда сходится, и отображение π^l дает решение в зависимости от начального приближения. Если решение одно, то $\pi^l = r$, где r — константа, являющаяся решением (2). Значение l есть длина максимальной цепи без петель в графе $H(\mathbf{W}, \mathbf{Q})$.

Пример. Пусть дано отображение π , задаваемое системой булевых уравнений

$$\begin{cases} x_1 = \overline{x_1} \cdot \overline{x_2} + x_1 \cdot x_2; \\ x_2 = \overline{x_2} + \overline{x_1} \cdot x_2. \end{cases} \quad (10)$$

Тогда $\pi^2 = \begin{pmatrix} x_1 \cdot x_2 \\ x_2 + x_1 \cdot x_2 \end{pmatrix}$; $\pi^3 = \begin{pmatrix} 0 \\ 1 \end{pmatrix}$.

Итак, решением системы (10) является $x_1 = 0$, $x_2 = 1$, итерация сходится при любом начальном приближении, длина максимальной цепи без петель в графе $H(\mathbf{W}, \mathbf{Q})$ (рис. 4) равна трем.

При решении системы уравнений (2) методом простой итерации эффективно использование

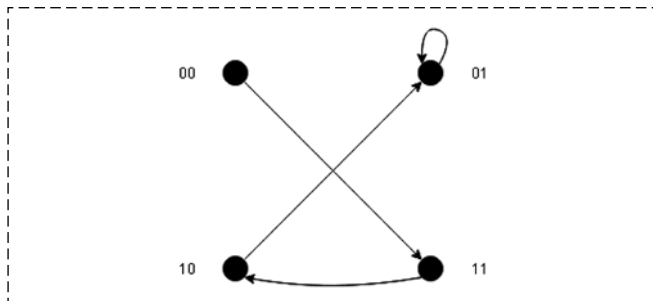


Рис. 4. Граф $H(\mathbf{W}, \mathbf{Q})$ для системы (10)
Fig. 4. Graph $H(\mathbf{W}, \mathbf{Q})$ for (10)

алгоритма событийного моделирования [15, 16]. При этом на каждой итерации пересчитываются только те переменные, среди аргументов которых есть изменившие свое значение.

Решение системы уравнений методом обобщенной итерации

Итерационное решение системы (2) в общем случае может осуществляться по следующему алгоритму:

- принять начальные приближения значений переменных за текущие значения;
- при текущих значениях переменных вычислить новые значения переменных с номерами из $\mathbf{J}, \mathbf{J} \subseteq \{1, \dots, n\}$; обновить их текущее значение;
- если решение не получено, повторить предыдущий пункт для нового подмножества переменных.

Последовательность подмножеств номеров пересчитываемых переменных $\mathbf{J}^1 \mathbf{J}^2 \dots = \{j_1^1, \dots, j_{m_1}^1\} \{j_1^2, \dots, j_{m_2}^2\} \dots$ назовем следом итерации. Если часть следа $\dots \mathbf{J}^k \dots \mathbf{J}^{k+l}$ содержит все элементы множества $\{1, \dots, n\}$, и на последних l шагах итерации ни одна переменная не изменила своего значения, то получено решение системы (2).

Обобщенная итерация со следом $\mathbf{J}\mathbf{J}\dots$, где $\mathbf{J} = \{1, \dots, n\}$, представляет собой простую итерацию, а со следом $\mathbf{J}^1 \mathbf{J}^2 \dots \mathbf{J}^n \mathbf{J}^1 \mathbf{J}^2 \dots \mathbf{J}^n \dots$, где $\mathbf{J}^i = \{i\}$, — итерацию Зейделя. На множестве Δ операций, реализуемых при обобщенной операции, определена мультипликативная полугруппа. Элементы основного множества Δ полугруппы будем обозначать $\delta^{\mathbf{J}^1 \mathbf{J}^2 \dots}$, где $\mathbf{J}^1 \mathbf{J}^2 \dots = l$ — след итерации. Операция умножения определяется равенством $\delta^{l_1} \delta^{l_2} = \delta^{l_1 l_2}$. Полугруппа над Δ имеет $2^n - 1$ порождающих элементов:

$$\delta^{\mathbf{J}} = \begin{cases} x_i, i \notin \mathbf{J}; \\ g_i(x_1, \dots, x_n), i \in \mathbf{J}, \end{cases}$$

где $\mathbf{J}$ — есть множество непустых подмножеств $\{1, \dots, n\}$.

На множестве операций $\delta^{\mathbf{J}}$, в свою очередь, определена аддитивная полугруппа с операцией $\delta^{\mathbf{J}^1} + \delta^{\mathbf{J}^2} = \delta^{\mathbf{J}^3}$, где $\mathbf{J}^3 = \mathbf{J}^1 \cup \mathbf{J}^2$, и порождающими элементами

$$\delta^i = \begin{cases} g_i(x_1, \dots, x_n), j = i; \\ x_j, j \neq i, \end{cases} \\ i = 1, \dots, n.$$

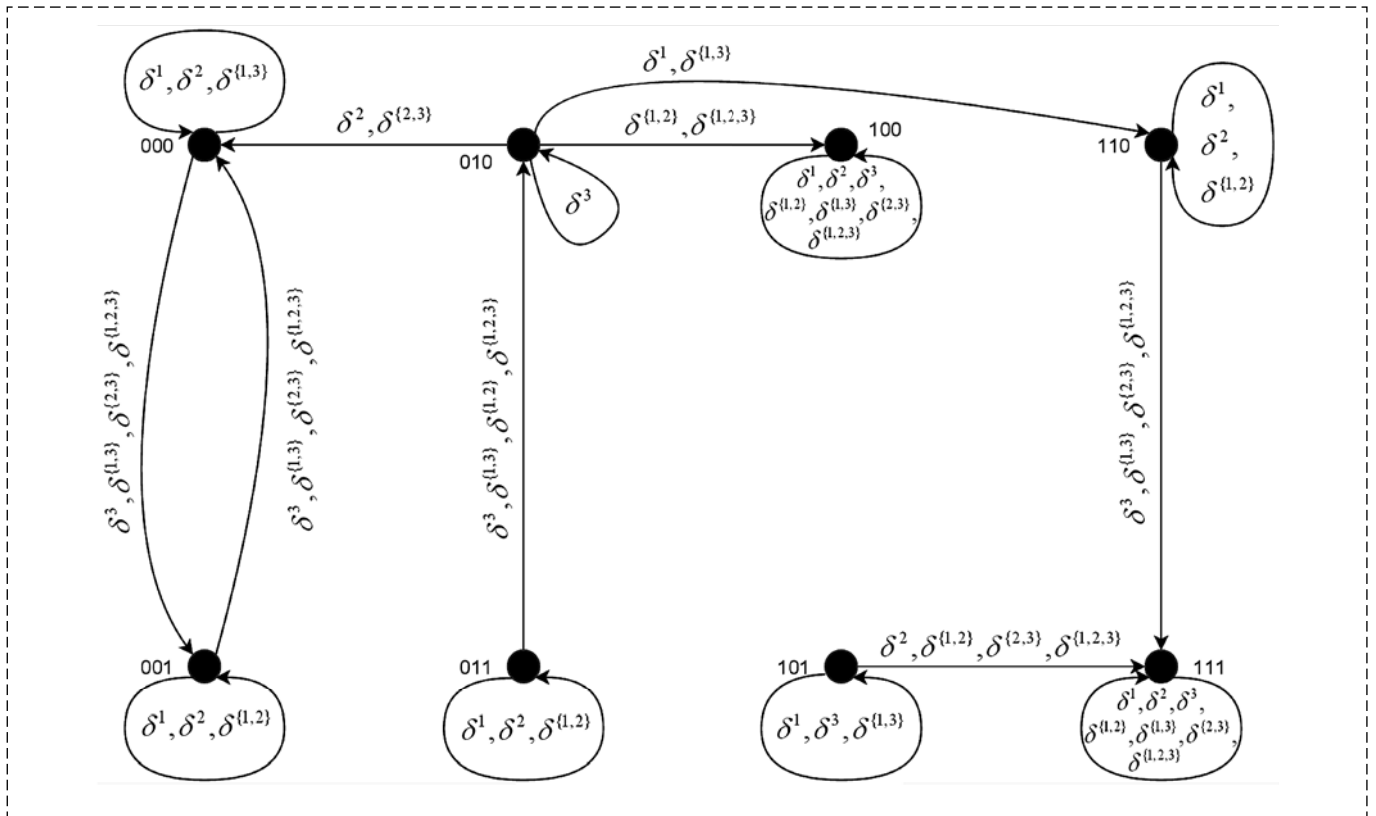


Рис. 5. Граф $Q(W, K)$ для системы уравнений на рис. 3

Fig. 5. Graph $Q(W, K)$ for equations on Fig. 3

Каждой системе уравнений (2) при решении ее методом обобщенной итерации изоморфен ориентированный граф $Q(W, K)$ (рис. 5), в котором каждой вершине w с меткой $(z_{j_1}^1, \dots, z_{j_i}^i, \dots, z_{j_n}^n)$ инцидентны $2^n - 1$ выходящих ребер, помеченных порождающими элементами δ^J . Ребра с метками δ^i могут быть либо петлями, либо входящими ребрами одной из $|Z_i| - 1$ вершин с меткой $(z_{j_1}^1, \dots, z_{j_i}^i, \dots, z_{j_n}^n)$, $z_{j_i}^i \neq z_{j_i}^i$, если $\delta(z_{j_1}^1, \dots, z_{j_i}^i, \dots, z_{j_n}^n) = (z_{j_1}^1, \dots, z_{j_i}^i, \dots, z_{j_n}^n)$. Остальные ребра δ^J являются входящими ребрами вершин с метками $(z_{j_1}^1, \dots, z_{j_n}^n)$, где $z_{j_i}^i = z_{j_i}^i$ при $i \in J$ и $z_{j_i}^i = g_i(z_{j_1}^1, \dots, z_{j_n}^n)$ при $i \in J$. Если вершина $(z_{j_1}^1, \dots, z_{j_n}^n)$ есть решение системы (2), то все выходящие из этой вершины ребра с метками δ^i , а следовательно и с метками δ^J являются петлями. Верно и обратное, если все выходящие из вершины $(z_{j_1}^1, \dots, z_{j_n}^n)$ ребра с метками δ^i являются петлями, то $(z_{j_1}^1, \dots, z_{j_n}^n)$ являются решением (2). Таким образом, справедлива следующая теорема.

Теорема 4. Обобщенная итерация со следом $J^1 J^2 \dots J^k$ сходится при начальном приближении $x_1^{(0)}, \dots, x_n^{(0)}$, если существует решение системы (2) $x_1 = z_{j_1}^1, \dots, x_n = z_{j_n}^n$, и вершина $(z_{j_1}^1, \dots, z_{j_n}^n)$

в графе $Q(W, K)$ достижима из вершины с меткой $(x_1^{(0)}, \dots, x_n^{(0)})$ по пути $\delta^{J^1} \delta^{J^2} \dots \delta^{J^k}$. Необходимым условием достижимости решения из вершины с меткой $(x_1^{(0)}, \dots, x_n^{(0)})$ является принадлежность решения той же компоненте связности.

Особый интерес представляет итерация, соответствующая синхронному моделированию ранжированной схемы. Пусть выбрано множество X_{Π} переменных обратной связи, и структурный граф путем разделения каждой вершины v , $v \in V_{\Pi}$, на v^1 и v^2 преобразован в ациклический. Проранжируем вершины $v \in V$, а следовательно, и уравнения системы (1), присвоив вершине v ранг, равный длине максимального пути от любой из входных вершин до вершины v . Пусть R_l — множество номеров уравнения (вершин v), имеющих ранг l . Рассмотрим итерацию со следом $R_1 R_2 \dots R_L R_1 R_2 \dots R_L \dots$. Очевидно, что $\bigcup_{l=1} R_l = \{1, \dots, n\}$; $R_{l_1} \cap R_{l_2} = \emptyset$ при $l_1 \neq l_2$. Таким образом, при выполнении операции $\delta^{\bar{R}} = \delta^{R_1 R_2 \dots R_L}$ каждое уравнение вычисляется ровно один раз. Величина $\delta^{\bar{R}}$ является порождающим элементом циклической полугруппы на множестве операций $(\delta^{\bar{R}})^k$, $k = 1, 2, \dots$. Так как множество значений переменных из X_{Π}

есть $\prod_{x_i \in X_{\Pi}} |Z_i|$, то $\delta^{R^l}(X_{\Pi}^{(0)}) = \delta^{R^k}(X_{\Pi}^{(0)})$, где $l > k$, причем $k \leq \prod_{x_i \in X_{\Pi}} |Z_i| - 1$. Таким образом справедлива следующая теорема.

Теорема 5. Если итерация с ранжированием при заданном начальном приближении дает решение (2), то для получения решения каждого уравнения необходимо пересчитывать не более, чем $\prod_{x_i \in X_{\Pi}} |Z_i| - 1$ раз.

Выбор метода решения логических уравнений при моделировании цифровых систем

При выборе метода решения систем многозначных логических уравнений в целях получения квазивременных логических диаграмм необходимо учесть следующие факторы.

1. Целью моделирования является проверка функций, выполняемых схемой технических средств, интерпретация микропрограмм или фрагментов программного обеспечения. В связи с этим важным является нахождение установившихся значений сигналов с минимальными затратами машинного времени.

2. Система моделирования должна использовать такой метод решения уравнений, алгоритм которого является универсальным относительно моделируемых схем. Такой алгоритм не должен требовать участия человека, например, для выбора множества цепей обратной связи.

3. Отличительными особенностями цифровых систем является двунаправленность шин и линий, что приводит к изменению структурного графа $G(V, E)$ в зависимости от внутреннего состояния системы и, как следствие, к изменению рангов компонентов в процессе моделирования.

4. При проектировании технических средств цифровых систем разработчики широко используют тот факт, что времена срабатывания блоков не равны нулю и имеют конечные значения. Так, использование конвейерного регистра в цифровых системах на основе микропрограммирования позволяет совместить во времени выполнение текущей микрокоманды и выборку следующей микрокоманды из ПЗУ. При этом выполнение микрокоманды осуществляется во время интервала задержки выдачи следующей микрокоманды из ПЗУ относительно момента подачи ее адреса.

При моделировании аппаратуры на блоках малой степени интеграции эффективно используется решение уравнений методом итераций Зейделя с квазиразрывом цепей обратной связи и ранжированием уравнений [15]. Физически это соответствует синхронному моделированию с нулевыми задержками. При этом минимизируются временные затраты на вычисление обратной связи. Действительно, при известных сигналах обратной связи для вычисления значений сигналов схемы итерация с ранжированием наиболее эффективна, так как каждый сигнал в этом случае вычисляется только один раз. Однако автоматический выбор цепей обратной связи и ранжирование компонентов требуют дополнительных затрат машинного времени. В случае использования блоков с двунаправленными выводами при изменении внутренних состояний таких блоков необходимо проводить перевычисление рангов компонентов.

Событийный алгоритм простой итерации требует несколько больших затрат, так как даже при известных сигналах обратной связи значение ряда переменных приходится пересчитывать более одного раза. Однако в этом случае не требуется осуществлять ранжирование компонентов; двунаправленный характер выводов блоков также не приводит к дополнительным сложностям. Событийный алгоритм простой итерации является универсальным относительно схемы моделируемых технических средств.

Кроме того, простая итерация предполагает равные задержки блоков технических средств, что соответствует интуитивному представлению разработчиков при составлении принципиальной схемы.

На основе вышеизложенного, а также учитывая опыт создания и эксплуатации систем моделирования на функционально-логическом уровне, задаваемых схемой соединения блоков, обеспечивающей получение квазивременных логических диаграмм, можно сделать вывод об эффективности использования в этом случае событийного алгоритма простой итерации.

Алгоритм решения систем логических уравнений в системе моделирования имеет следующий вид:

1. Принять за начальное приближение значения логических переменных и состояния внутренних регистров, полученные на предыдущем такте.

2. Определить входные сигналы на данном такте.

3. Обратиться к моделям m_i , входы которых подключены к изменившимся сигналам в узлах, вычислить новые значения внутренних переменных R_i и выходных сигналов моделей m_i . Если поданная на какую-либо модель комбинация входных сигналов в сочетании с внутренним состоянием запрещена, то модель установить в состояние ошибки; моделирование остановит.

4. Если число изменений входного сигнала какой-либо модели превысит заданное, то остановить моделирование по заикливлению, выдав сообщение об отсутствии решения системы (2).

5. Для всех узлов схемы, к которым подключены выходы моделей с изменившимися сигналами, вычислить новые логические значения в узле. Если для какого-нибудь узла логическое значение сигнала не определено, выдать сообщение об ошибке в объединении блоков.

6. Если для каких-либо узлов схемы значения логических значений сигналов изменились, то перейти к пункту 3. Если все значения остались без изменений, то решение (2) найдено.

Таким образом, подача запрещенных комбинаций сигналов на модели блоков обнаруживается на шаге 3 алгоритма; отсутствие установившихся сигналов на выводах блоков, т. е. отсутствие решения системы (2), — на шаге 4 алгоритма; ошибки в объединении блоков — на шаге 5 алгоритма. Ошибки в выполнении функций технических средств, а также в программно-микропрограммном обеспечении обнаруживаются разработчиком путем анализа значений логических сигналов и состояний внутренних регистров блоков на каждом шаге моделирования.

Заключение

Проведен теоретический анализ итерационных методов решения конечнозначных, в частном случае двоичных, систем логических уравнений. Рассмотрены условия существования и определения числа решений. Различные итерационные методы соответствуют различным инженерным подходам при функционально-логическом моделировании проектов цифровых систем. Проведенное исследование позволяет определить соответствие между математическими результатами и ситуациями,

возникающими при моделировании проектов цифровых систем управления объектами.

Список литературы

1. Keresztes P., Tukacs A., Török M. A Multi Valued Logic VHDL Package for Switch Level Simulation of Novel Digital CMOS Circuits // *2018 International Conference on Recent Innovations in Electrical, Electronics & Communication Engineering (ICRIEECE)*. Bhubaneswar, India. 2018. P. 25–28.
2. Bara A., Bazargan-Sabet P., Chevallier R., Encrenaz E., Ledu D., Renault P. Formal verification of timed VHDL programs // *2010 Forum on Specification & Design Languages (FDL 2010)*. Southampton. 2010. P. 1–6.
3. Иванников А. Д., Стемпковский А. Л. Основные положения системы моделирования проектов цифровых систем для совместной отладки технических средств и программно-микропрограммного обеспечения // *Информационные системы и технологии*. 2018. № 6 (110). С. 13–19.
4. Kunapareddy S., Turaga S. D., and Sajjan S. S. T. M. Comparison between LPSAT and SMT for RTL verification // *2015 International Conference on Circuits, Power and Computing Technologies [ICCPCT-2015]*. Nagercoil. 2015. P. 1–5.
5. Иванников А. Д., Стемпковский А. Л. Формализация задачи отладки проектов цифровых систем // *Информационные технологии*. 2014. № 9. С. 3–10.
6. Куцак Н. Ю., Подымов В. В. Формальная верификация диаграмм троичных цифровых сигналов // *Моделирование и анализ информационных систем*. 2019. Т. 26, № 3. С. 332–350.
7. Tai Y, Hu W., Guo Lantian, Mao B., Mu D. Gate Level Information Flow analysis for multi-valued logic system // *2017 2nd International Conference on Image, Vision and Computing (ICIVC)*. Chengdu. 2017. P. 1102–1106.
8. Mane S. C., Hajare S. P., Dakhole P. Current mode quaternary logic circuit // *2017 International Conference on Communication and Signal Processing (ICCCSP)*. Chennai. 2017. P. 0825–0829.
9. Sooriamala A. P., Poovannan E. Synthesis of multiple valued logic digital circuits using CMOS gates // *2017 International Conference on Innovations in Electrical, Electronics, Instrumentation and Media Technology (ICEEIMT)*. Coimbatore. 2017. P. 383–388.
10. Prokopenko N. N., Chernov N. I., Yugai V., Butyrugin N. V. The element base of the multivalued threshold logic for the automation and control digital devices // *2017 International Siberian Conference on Control and Communications (SIBCON)*. Astana. 2017. P. 1–5.
11. Shimabukuro K., Kameyama M. Fine-Grain Pipelined Reconfigurable VLSI Architecture Based on Multiple-Valued Multiplexer Logic // *2017 IEEE 47th International Symposium on Multiple-Valued Logic (ISMVL)*. Novi Sad. 2017. P. 19–24.
12. Закревский А. Д. Логические уравнения. М.: Едиториал УРСС, 2003. 96 с.
13. Ландау И. Я. Применение ЦВМ для проектирования ЦВМ. М.: Энергия, 1974. 152 с.
14. Мальцев А. И. Алгебраические системы. М.: Наука, 1970. 392 с.
15. Норенков И. П., Маничев В. Б. Системы автоматизированного проектирования электронной и вычислительной аппаратуры. М.: Высшая школа, 1983. 272 с.
16. Теория и методы автоматизации проектирования вычислительных систем. Под ред. М. Брейера. М.: Мир, 1977. 283 с.

Iterative Methods for Solving Systems of Multi-Valued Logical Equations in the Simulation of Object Control Digital Systems

A. D. Ivannikov, adi@ippm.ru, A. L. Stempkovskiy, ippm@ippm.ru,,

Institute for Design Problems in Microelectronics of Russian Academy of Sciences,
Moscow, 124365, Russian Federation

Corresponding author: **Ivannikov Alexander D.**, Dr.Sc., Professor,
Institute for Design Problems in Microelectronics of RAS, Moscow, 124365, Russian Federation,
e-mail: adi@ipp.ru

Accepted on May 19, 2020

Abstract

The article is devoted to the analysis of methods for solving systems of multivalued logical equations by iteration methods. Iterative methods for solving such systems of equations are a mathematical description of the main process of functional-logical simulation, which is used at the stage of designing digital systems for objects control to verify the correctness of the design. Consideration of multi-valued values of logical signals at the outputs of blocks and elements of digital systems is explained by the fact that in some cases, to analyze the correctness of time relationships when simulating the hardware of digital systems, a several valued representation of logical signals is used, as well as that recently, logical elements are being developed that implement four or more valued logic. Based on the analysis of the structure of the system of logical equations used in digital hardware simulation, using graph and logical models, an analysis is made of the existence of solutions and their number. Iterative methods of a simple and generalized iteration are analyzed, a relationship is shown between the number of solutions of the system of equations and its graph representation, which reflects a given circuit of connecting elements of the hardware of a digital control system. For the generalized iteration method, options with a different structure of the iteration trace are considered, in particular, it is shown that, with a certain structure of the iteration trace, the generalized iteration turns into a simple iteration or Seidel iteration. It is shown that the generalized iteration most adequately describes the process of simulating the switching of logical signals in a simulated circuit of digital control systems hardware. The correspondence between various options of functional-logical simulation of digital systems and the used methods of iterative solution of systems of logical equations is shown.

Keywords: functional-logical simulation of design, digital systems for object control, multivalued logical equations, methods of simple and generalized iteration

For citation:

Ivannikov A. D., Stempkovskiy A. L. Iterative Methods for Solving Systems of Multi-Valued Logical Equations in the Simulation of Object Control Digital Systems, *Mekhatronika, Avtomatizatsiya, Upravlenie*, 2020, vol. 21, no. 9, pp. 511–520.

DOI: 10.17587/mau.21.511-520

References

1. Keresztes P., Tukacs A., Török M. A Multi Valued Logic VHDL Package for Switch Level Simulation of Novel Digital CMOS Circuits, *2018 International Conference on Recent Innovations in Electrical, Electronics & Communication Engineering (ICRIEECE)*, Bhubaneswar, India, 2018, pp. 25–28.
2. Bara A., Bazargan-Sabet P., Chevallier R., Encrenaz E., Ledu D., Renault P. Formal verification of timed VHDL programs, *2010 Forum on Specification & Design Languages (FDL 2010)*, Southampton, 2010, pp. 1–6.
3. Ivannikov A. D., Stempkovskiy A. L. Fundamentals of digital system design simulation system for joined hardware/software debugging, *Informacionnie Systemi i Tehnologii*, 2018, no. 6(110), pp. 13–19 (in Russian).
4. Kunapareddy S., Turaga S. D., Sajjan S. S. T. M. Comparison between LPSAT and SMT for RTL verification, *2015 International Conference on Circuits, Power and Computing Technologies [ICCPCT-2015]*, Nagercoil, 2015, pp. 1–5.
5. Ivannikov A. D., Stempkovskiy A. L. Formal description of digital system design debugging, *Informacionnie Tehnologii*, 2014, no. 9, pp. 3–10 (in Russian).
6. Kucak N. Yu., Podimov V. V. Formal verification for three valued digital signal diagrams, *Midelirovanie i Analiz Informacionnih System*, 2019, vol. 26, no. 3, pp. 332–350 (in Russian).
7. Tai Y., Hu W., Guo Lantian, Mao B., Mu D. Gate Level Information Flow analysis for multi-valued logic system, *2017 2nd International Conference on Image, Vision and Computing (ICIVC)*, Chengdu, 2017, pp. 1102–1106.
8. Mane S. C., Hajare S. P., Dakhole P. Current mode quaternary logic circuit, *2017 International Conference on Communication and Signal Processing (ICCSPP)*, Chennai, 2017, pp. 0825–0829.
9. Sooriamala A. P., Poovannan E. Synthesis of multiple valued logic digital circuits using CMOS gates, *2017 International Conference on Innovations in Electrical, Electronics, Instrumentation and Media Technology (ICEEIMT)*, Coimbatore, 2017, pp. 383–388.
10. Prokopenko N. N., Chernov N. I., Yugai V., Butyrugin N. V. The element base of the multivalued threshold logic for the automation and control digital devices, *2017 International Siberian Conference on Control and Communications (SIBCON)*, Astana, 2017, pp. 1–5.
11. Shimabukuro K., Kameyama M. Fine-Grain Pipelined Reconfigurable VLSI Architecture Based on Multiple-Valued Multiplexer Logic, *2017 IEEE 47th International Symposium on Multiple-Valued Logic (ISMVL)*, Novi Sad, 2017, pp. 19–24.
12. Zakrevskiy A. D. Logical equations, Moscow, Editorial URSS, 2003, 96 p. (in Russian)
13. Landau I Ya. Computer use for computer design, Moscow, Energiya, 1974, 152 p. (in Russian).
14. Maltcev A. I. Algebraic systems, Moscow, Nauka, 1970, 392 p. (in Russian).
15. Norenkov I. P., Manichev V. B. Computer-aided design systems for electronic and digital hardware, Moscow, Vishaya shkola, Moscow, 1983, 272 p. (in Russian).
16. Braer M. ed. Theory and methods of automated design for computer systems, Moscow, Mir, 1977, 283 p. (in Russian).