

В. Н. Буков, д-р техн. наук, проф., v_bukov@mail.ru,

Открытое акционерное общество "Бортовые аэронавигационные системы", г. Москва,

В. А. Шурман, зам. Главного конструктора, vshurman@rpkb.ru,

Филиал акционерного общества "Раменское приборостроительное конструкторское бюро", г. Жуковский,

И. Ф. Гамаюнов, канд. техн. наук, доц., ilyagama@gmail.com,

А. М. Агеев, канд. техн. наук, доц., ageev_bbc@mail.ru,

Военный учебно-научный центр Военно-воздушных Сил "Военно-воздушная академия
им. проф. Н. Е. Жуковского и Ю. А. Гагарина", г. Воронеж

Управление избыточностью вычислительных ресурсов интегрированной модульной авионики

Рассматриваются структура и алгоритм управления разнородной избыточностью вычислительной системы перспективной интегрированной модульной авионики. Вычислительные ресурсы системы интегрированной модульной авионики в общем случае представляются неоднородными вычислительными системами, используемыми для обработки информации в составе бортовой интегрированной вычислительной среды. Основу неоднородных вычислительных систем составляют процессорные узлы, избыточность вычислительных систем заключается в том, что число процессорных узлов больше единицы. Ставится задача синтеза такой вычислительной системы, в которой осуществлялось бы автоматическое управление избыточными вычислительными ресурсами за счет использования собственных возможностей процессорных узлов и без использования дополнительных аппаратных ресурсов. Считается, что избыточная вычислительная система выполняет содержательные вычисления решаемой задачи несколькими процессорными узлами параллельно. Все содержательные вычисления по каким-либо признакам изначально разбиты на относительно непродолжительные этапы, предоставляющие возможность оценивания эффективности завершения каждого из них. В основе управления избыточностью вычислительной системы лежат периодическое вычисление и сравнение показателей успешности этапа. Парный арбитраж процессорных узлов осуществляется по иерархической схеме путем сопоставления значений показателей успешности одноименных этапов. Последующая реконфигурация вычислительной системы выделяет пассивные и ведущие процессорные узлы в парах всех уровней иерархической схемы. Отказ пассивного процессорного узла никак не сказывается на выполнении основного цикла. Отказ ведущего процессорного узла не вызывает перебоев в выдаче результатов вычислений, но разрушает структуру резервов, которая восстанавливается после проведения арбитража в следующем цикле. Отказ ведущего процессорного узла верхнего уровня приводит к сбою выдачи выходных данных в текущем цикле, вычислительный процесс восстанавливается вместе с новой иерархией вычислительной системы в следующем цикле. Предлагаемое решение направлено на парирование как отказов аппаратной части, так и неправильного функционирования программного обеспечения. Приводится методический пример на основе вычислительной системы современного комплекса бортового оборудования самолета транспортной категории.

Ключевые слова: комплекс бортового оборудования, интегрированная модульная авионика, управление избыточными ресурсами

Введение

Интегрированной модульной авионике в задачах построения комплексов бортового оборудования авиационных систем [1, 2] нет альтернативы. В настоящее время усилия отечественных и зарубежных специалистов в области авиационного оборудования сосредоточены на развитии различных ее сторон путем реализации потенциальных возможностей соответствующей концепции.

Одно из актуальных направлений связано с повышением устойчивости авионики к отказам и повреждениям отдельных ее компонентов [3–5]. К нему непосредственно примыкает достижение так называемой необслуживаемости бортового оборудования, при котором как

мониторинг технического состояния компонентов и системы в целом, так и восстановление работоспособности при необходимости [6, 7], а возможно, и оптимизация технических характеристик в сложившейся обстановке [8] выполняются автоматически, без участия экипажа и технического персонала.

Известный подход [9] потенциально предоставляет возможность парирования неблагоприятных последствий сбоев и частичных отказов процессоров, однако его практическое применение ограничено жесткими структурными требованиями как к содержанию обрабатываемой информации, так и к характеру неблагоприятных воздействий.

Другой подход к повышению надежности и достоверности обработки критических

функций отказоустойчивой вычислительной системы [10] заключается в многократном их резервировании, при котором процесс управления избыточностью и вычислительный процесс разделены в цикле реального времени и частично аппаратными средствами. В качестве резервируемых единиц вычислителя выделяются так называемые вычислительные тракты, состоящие из неразрывно связанных цепочек входного интерфейса, процессора и выходного интерфейса. В каждом из вычислительных трактов проводится мажоритарное сравнение сигналов, прошедших через каждый тракт. Неоднозначность мажоритарного сравнения сигналов в различных трактах устраняют мажоритарным сопоставлением результатов сравнения сигналов. Достоверность мажоритарного контроля сигналов достигается путем статистической обработки случайного процесса изменения критического параметра, вычисления остаточной дисперсии и ее мажоритарного сравнения.

К недостаткам такого подхода относятся:

- низкая эффективность мажоритарного сравнения сигналов при неоднородной избыточности вычислительных средств;
- заведомое завышение объемов потребного резервирования из-за объединения нескольких аппаратных компонентов в одну неразрывную единицу;
- слишком высокий объем вычислений, связанных с многоуровневым мажоритарным контролем в сочетании со статистической обработкой сигналов трактов;
- сложность самого устройства, что вместе с отсутствием у него встроенного самоконтроля снижает надежность достижения соответствующего технического эффекта.

Постановка задачи

Представим вычислительные ресурсы системы интегрированной модульной авионики (ИМА) в общем случае неоднородными вычислительными системами (ВычС), используемыми для обработки информации (сбор, получение, анализ, передача информации, выработка управляющих воздействий, команд индикации) в составе бортовой интегрированной вычислительной среды (БИВС). Основу ВычС составляют процессорные узлы (ПУ), каждый из которых состоит из одного процес-

сора, устройств памяти и обеспечивающей их работу совокупности других элементов.

Избыточность ВычС заключается в том, что число ПУ больше единицы. При этом различные ПУ или их части, а также соответствующие программные компоненты могут быть созданы различными разработчиками и/или с использованием различных технологий. Сами ВычС могут быть либо сконцентрированы в крейтах по аналогии с "классической" структурой ИМА, либо распределены по функциональным системам и пространственно обособлены.

Ставится задача синтеза такой ВычС, в которой осуществлялось бы автоматическое управление избыточными вычислительными ресурсами (работой ПУ) за счет использования собственных возможностей ПУ и без использования дополнительных аппаратных ресурсов.

Структура избыточных вычислительных ресурсов

Будем исходить из того, что избыточная ВычС выполняет содержательные вычисления решаемой задачи несколькими ПУ параллельно.

Принципиальным является то, что все содержательные вычисления по каким-либо признакам (логическая завершенность, модульность вычислительной программы, возможность контроля целостности и пр.) изначально разбиты на относительно непродолжительные этапы, предоставляющие возможность оценивания эффективности завершения каждого из них. Таким образом, помимо общих требований по питанию и средствам коммуникации с окружением все ПУ должны формировать показатель успешности этапа (ПУЭ). При этом показатели могут иметь простую (число) или сложную (таблица чисел или функция) структуру, но показатели одноименных этапов всех ПУ должны быть сопоставимыми (позволять определять предпочтения).

Помимо этого один из ПУ, признаваемый ведущим ПУ верхнего уровня, формирует для остальных ПУ сигналы синхронизации (СС). Все ПУ после отработки каждого действия формируют сигналы аутентификации (СА), подтверждающие факт завершения действия. Рис. 1 (см. вторую сторону обложки) поясняет функциональную схему предлагаемой ВычС [11].

ВычС с устройством автоматического управления избыточностью содержит основной и

резервный каналы входных данных (КВхД), соединенные с соответствующими входными буферами (ВхБ), реализующие основную и резервную раздачу данных.

С этой целью ВхБ соединены с пулами входных данных всех ПУ от 1 до W . Каждый ПУ содержит три пула: пул входных данных — ВхД (Осн — основной, Рез — резервный), пул внутренних данных — ВнД и пул выходных данных — ВыД.

Пулы выходных данных соединены с де-мультипликаторами выходных данных (ДВыД), предназначенными для выборочной, по результату арбитража, передачи основных и резервных выходных данных из ПУ. Для этого блоки ДВыД соединены с основным и резервным каналами выходных данных КВыД вычислительной системы. В вычислительном процессе помимо входных данных для восстановления утраченных данных в других ПУ используются внутренние данные, расположенные в соответствующих пулах.

Кроме того, между ПУ имеются межпроцессорные связи (показанные на рис. 1, см. вторую сторону обложки, условно пунктирными стрелками с полукруглыми окончаниями), позволяющие каждому ПУ обращаться к одноименным пулам других ПУ для получения их входных и внутренних данных в целях восстановления своих данных. Каждый ПУ это осуществляет самостоятельно при отсутствии флага у какого-либо своего пула в определенный промежуток времени. Может оказаться так, что вообще не будет необходимых (ВхД, ВнД) данных. Тогда вычислительный цикл прерывается, и выдается сообщение о неисправности в служебный канал индикации.

Детали операции обмена данными (протоколы, ретрейны) не имеют принципиального значения в рассматриваемой задаче и здесь не обсуждаются.

Указанные шаги могут быть детализированы и дополнены под влиянием различных обстоятельств и требований прикладного характера.

Принцип управления избыточностью вычислительных ресурсов

В основе управления избыточностью ВычС лежат периодическое вычисление и сравнение ПУЭ. В зависимости от содержания этапа вы-

числительной задачи такими показателями могут быть: различные невязки или нормы полученных данных, доверительные или гарантированные оценки погрешностей данных, флаги прохождения запросов или завершения определенных операций, различные индикаторные числа типа контрольных сумм и пр.

Путем сопоставления значений ПУЭ одноименных этапов осуществляется попарный арбитраж ПУ по иерархической схеме с последующей реконфигурацией ВычС с выделением пассивных ПУ (ППУ) и ведущих ПУ (ВПУ) в парах всех уровней иерархической схемы. ВПУ верхнего уровня (ВВПУ) формирует и выдает во все остальные ПУ сигналы синхронизации (СС), по которым выполняются все фазы циклического процесса, а именно: ввод данных и обмен ими, вычисления и арбитраж ПУ, а также осуществляет вычисления текущего этапа решаемой задачи, выдает результаты вычислений в основной и резервный выходные каналы вычислительной системы. Каждый ВПУ, кроме ВВПУ, принимает от узлов более высокого уровня своей ветви иерархии сигналы синхронизации и аутентификации, осуществляет вычисления текущего этапа решаемой задачи, формирует ПУЭ и выдает в нижние уровни своей ветви иерархии сигнал аутентификации (СА), подтверждающий исполнение им отведенной роли, а также со своим ПУЭ участвует в арбитраже за право получить роль ВПУ более высокого уровня иерархии ПУ.

ППУ принимают СС и СА от узлов своей ветви иерархии, осуществляют вычисления текущего этапа решаемой задачи, формируют ПУЭ, а также со своими ПУЭ участвуют в арбитраже за право получения статуса ведущего ПУ первого уровня иерархии. Кроме того, каждый ПУ может восстанавливать свои входные и внутренние данные путем обращения к другим ПУ.

Диаграмма работы системы управления избыточностью

Система управления избыточностью вычислительных ресурсов работает циклически следующим образом.

По входным каналам (основному и резервному) поступают входные данные очередного этапа вычислительного процесса. Эти данные поступают в пулы (основной и резервный соответственно) каждого из $2N$ ПУ, участвующих

в работе ВычС. В начале каждого рабочего цикла все флаги, отражающие актуальность данных, обнуляются и устанавливаются после успешного завершения операции по заполнению соответствующего пула. Основные данные очередного этапа вычислительного процесса выбираются непосредственно из каналов, подключенных к ВычС. При необходимости дополнительные данные выбираются из каналов межмашинного обмена.

Основной рабочий цикл вычислительной системы, как показано на рис. 2 (см. вторую сторону обложки), содержит $N + 4$ фаз, где N — число уровней иерархии ВычС (и соответственно уровней арбитража).

Фазы размечаются СС, которые представляют собой пакеты, выдаваемые ВВПУ во все доступные адреса. СС выдаются как датаграммы без подтверждения. Если какой-либо пакет оказался утерянным, то проблема вхождения в синхронизм решается в следующем цикле. Синхропакеты, кроме признаков типа пакета и адреса источника, имеют в своем составе счетчик циклов, который (в дополнение к таймингу) может использоваться для определения целостности общей обстановки и служить начальными данными для тестовой задачи.

Фазы основного рабочего цикла представляют собой следующие последовательно выполняемые действия:

Фаза 1. Получение СС1 из текущего ВВПУ—, определенного в предыдущем цикле (на это указывает наличие знака "минус"). Ввод через ВхБ данных из основного и резервного каналов КВхД. Обмен входными данными в случае отсутствия соответствующих флагов актуальности у каких-либо пулов ВхД.

Фаза 2. Получение СС2 из текущего ВВПУ—. Выполнение прикладных процессов, включая проверку актуальности данных, содержательные вычисления решаемой задачи, вычисления ПУЭ на текущем этапе.

Фаза 3. Получение СС3 из текущего ВВПУ—. Обмен внутренними данными при необходимости восстановления вычислительного процесса в процессорах, не достигших успешного завершения этапа.

Фаза 4. Получение СС4 из текущего ВВПУ—. Проведение арбитража ПУ на первом (нижнем) уровне иерархии ВычС. Присвоение статусов ППУ и В1ПУ на основе сопоставления ПУЭ в парах с учетом правил арбитража, приведенных в таблице. В случае отсутствия преимуще-

ства какого-либо из ПУ решение принимается на основе дискриминационного правила (например, по порядковому номеру ПУ).

Фаза 5. Получение СС5 из текущего ВВПУ—. Выдача СА из В1ПУ (подтверждение выполнения роли в соответствии со статусом) для ППУ своей пары. Проведение арбитража процессоров В1ПУ на втором уровне иерархии ВычС на роль В2ПУ по правилам, аналогичным пункту 4.

... Выполнение фаз с 6 по $N + 2$.

Фаза $N + 3$. Получение СС($N + 3$) из текущего ВВПУ—. Выдача СА из В($N + 3$)ПУ для более низких уровней иерархии ВычС. Проведение арбитража на роль ВВПУ по правилам, аналогичным пункту 4.

Фаза $N + 4$. Получение СС($N + 4$) из вновь определенного ВВПУ (на это указывает отсутствие знака "минус"). Выдача данных ВыД из ВВПУ через ДВыД в основной КВыД. Выдача данных ВыД из В($N - 1$)ПУ через ДВыД в резервный КВыД. После завершения выдачи данных переход к началу цикла.

Каждый ПУ контролирует по таймеру время приема СС и СА, поступающих из ПУ более высокого уровня иерархии. Отсутствие СС или СА в ожидаемое время интерпретируется ПУ как основание для восстановления вычислений и повторного арбитража. Если на этот момент в системе был хотя бы один резервный ПУ, то сохранившиеся в его пуле внутренние данные позволяют восстановить вычисления с минимальной задержкой.

Арбитраж и реконфигурирование

Процедура реконфигурирования ВычС происходит в фазах, инициируемых сигналами синхронизации, начиная с СС4 и заканчивая СС($N + 3$) включительно в зависимости от статуса каждого из ПУ. Первоначально каждому ПУ присваивается статус ППУ. Далее процедура предусматривает два процесса: вхождение ПУ в цикл и выход ПУ из цикла. Действия, выполняемые при вхождении в цикл, и основания для их выполнения показаны в таблице.

При этом каждым ПУ учитываются как успешность решения им задачи на текущем этапе, так и блокировки его работы, вызванные СА, поступающими от ВПУ более высокого уровня.

Рис. 3 иллюстрирует организацию иерархии на примере ВычС с пятью процессорными узлами: серая окраска — ведущий проме-

Результат арбитража в соответствии со статусом		Оценка состояния процесса	Выполняемые действия
Соотношение ПУЭ в паре, свой/другой	Наличие СА		
Меньше или равны	—	Идет штатная работа, в своей паре предпочтение у конкурента	Не изменять свой статус, ожидать СС и СА
Больше	Все СА в наличии	Идет штатная работа, в своей паре конкурент уступает	Присвоить себе статус ведущего в паре, ожидать СС и СА, выдать СА для нижних уровней
Больше	СА верхнего уровня в наличии, отсутствуют СА других уровней	Идет штатная работа, но разрушена структура резерва	Присвоить себе статус ведущего в паре, выдать СА для нижних уровней, вступить в арбитраж за более высокий статус
Больше	Отсутствует СА верхнего уровня	Прекращена штатная работа	Присвоить себе статус ведущего, выдать СА для всех уровней, вступить в арбитраж за более высокий статус
Больше	Нет более высокого уровня, выдающего СА	Прекращена штатная работа	Присвоить себе статус ВВПУ, вывести свои выходные данные (ВыД), регулярно выдавать СС

жуточного и верхнего уровня, полужирный шрифт — текущий статус в иерархии. При нечетном числе ПУ, участвующих в арбитраже, один из них проходит этот уровень по умолчанию (контурная стрелка).

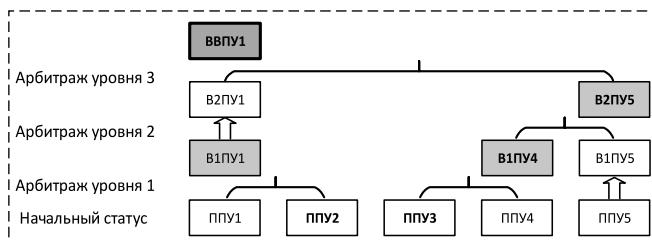


Рис. 3. Организация попарного арбитража процессорных узлов
Fig. 3. Organization pair-wise arbitration of the processor nodes

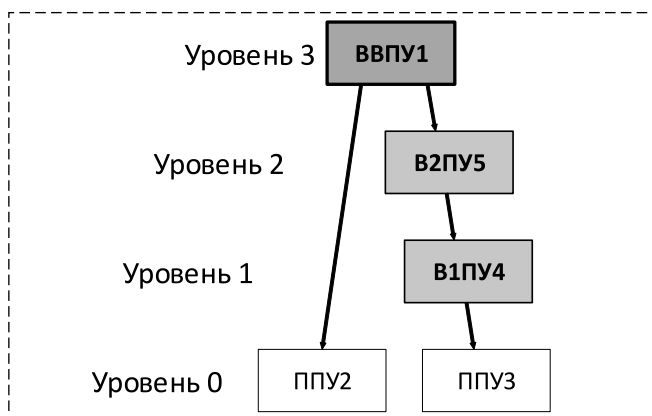


Рис. 4. Иерархия процессорных узлов по результатам арбитража
Fig. 4. Hierarchy of processor nodes based on the arbitration

В результате арбитража складывается иерархия процессорных узлов, показанная на рис. 4.

Общая оценка влияния отказов следующая. Выход (выключение) ППУ никак не сказывается на выполнении основного цикла. Выход (отказ, сбой или неправильное функционирование) любого ВПУ не вызывает перебоев в выдаче результатов вычислений, но разрушает структуру (цепочку) резервов, которая восстанавливается после проведения арбитража в следующем цикле.

Выход ВВПУ приводит к сбою выдачи выходных данных в текущем цикле, вычислительный процесс восстанавливается вместе с новой иерархией ВычС в следующем цикле.

Методический пример

Рассмотрим фрагмент ВычС самолета транспортной категории, показанный на рис. 5. Отдельные ПУ объединены общей информационной шиной в сеть для решения задач обмена, восстановления и контроля данных.

Для обоснованного предпочтения одного компонента (набора компонентов) другому, альтернативному при решении задачи управления избыточностью вычислительных ресурсов в работе [8] введен показатель функциональной эффективности (ПФЭ), под которым понимается один или несколько скалярных

показателей, интегрально характеризующих уровень возможных эксплуатационно-технических характеристик компонентов ВычС (оптимальность, рациональность, точность, экономичность, результативность и пр.).

Исключительно в целях упрощения дальнейших рассуждений для определения ПФЭ самого нижнего уровня однотипных (и имеющих одинаковые ПФЭ более высокого уровня) компонентов принимаются определенные дискриминационные правила, такие как "меньший порядковый номер компонента является предпочтительным при прочих равных условиях". Усложнение правил (законов, формул) определения ПФЭ не приводит к изменению получаемых результатов.

Каждый ПУ может быть представлен в виде вычислительного модуля (ВМ) и ряда коммуникационных компонентов (интерфейсных адаптеров, коммутаторов), для наглядности представленных в виде отдельных модулей на входе и выходе ВМ, как показано на рис. 6.

Интерфейсный адаптер предназначен для связи ВМ с датчиками, пультами управления, актюаторами и индикаторами, а также преобразования сигналов из формата ARINC 429¹ в ARINC 664 p.7 (AFDX)² и обратно.

Коммутатор каналов предназначен для объединения компонентов комплекса в единую сеть AFDX с помощью медных линий связи и волоконно-оптической линии связи.

Содержательные вычисления разбиты на относительно непродолжительные этапы. Избыточная ВычС выполняет содержательные вычисления решаемой задачи несколькими ПУ параллельно. Считается, что все ПУ равнозначны³.

¹ARINC 429 — международный стандарт на последовательный интерфейс передачи данных между авиационными системами для гражданской авиации. Отечественный аналог — ГОСТ 18977—79.

²ARINC 664 p.7 — стандарт, определяющий спецификации протокола и электрических соединений для детерминистских информационных сетей, используемых в авионике. Основан на технологии AFDX (Avionics Full Duplex Switched Ethernet).

³С позиции функционирования системы управления избыточностью вычислительных ресурсов.

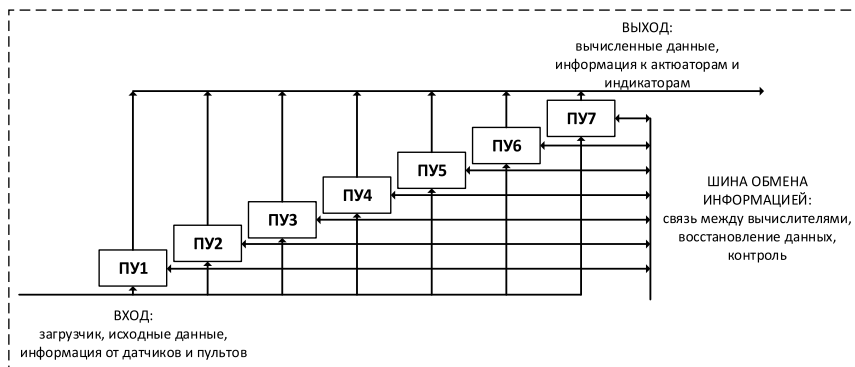


Рис. 5. Структура вычислительной системы с управляемой избыточностью

Fig. 5. Computing system structure with managed redundancy

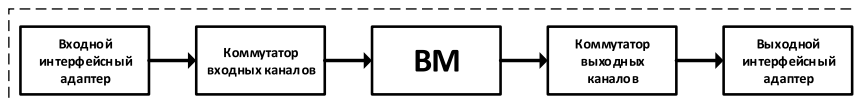


Рис. 6. Структура отдельного ПУ в развернутом виде

Fig. 6. Structure of a separate processor node in the expanded form

Пусть текущим ВВПУ, определенным на предыдущем цикле, является ПУ5. В начальный момент времени все компоненты исправны.

В соответствии с основным рабочим циклом вычислительной системы (рис. 2, см. вторую сторону обложки) запишем последовательность действий:

1. Получение СС1 из ПУ5. Ввод исходных данных. Обмен входными данными в случае необходимости.

2. Получение СС2 из ПУ5. Проверка актуальности данных, решение текущей вычислительной задачи, определение ПУЭ.

3. Получение СС3 из ПУ5. Обмен внутренними данными при необходимости восстановления вычислительного процесса в ПУ, не достигших успешного завершения этапа.

4. Получение СС4 из ПУ5. Проведение арбитража ПУ на первом уровне иерархии ВычС. Присвоение статусов ППУ и В1ПУ на основе сопоставления ПУЭ в парах с учетом оговоренных правил (рис. 7).

5. Получение СС5 из ПУ5. Выдача СА из В1ПУ (подтверждение выполнения роли в соответствии со статусом) для ППУ своей пары. Проведение арбитража процессоров В1ПУ на втором уровне иерархии ВычС на роль В2ПУ по правилам, аналогичным пункту 4. Рис. 8 поясняет схему арбитража.

6. Получение СС6 из ПУ5. Выдача СА из В2ПУ (подтверждение выполнения роли в соответствии со статусом) для ППУ своей пары.

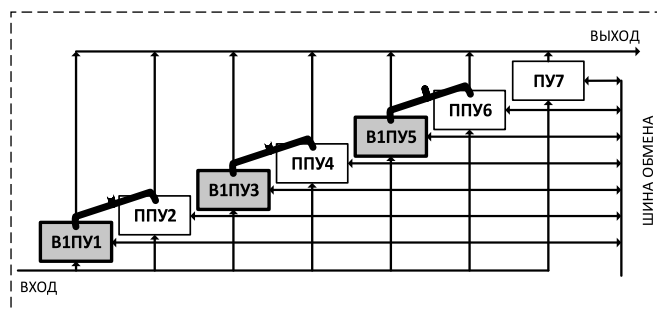


Рис. 7. Арбитраж ПУ на первом уровне иерархии ВычС
Fig. 7. Arbitration of processor nodes at the first level of the computing system hierarchy

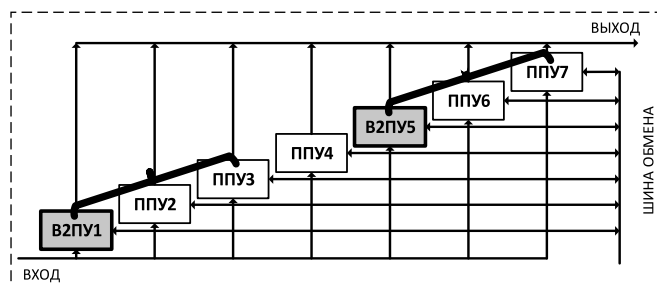


Рис. 8. Арбитраж ПУ на втором уровне иерархии ВычС
Fig. 8. Arbitration of processor nodes at the second level of the computing system hierarchy

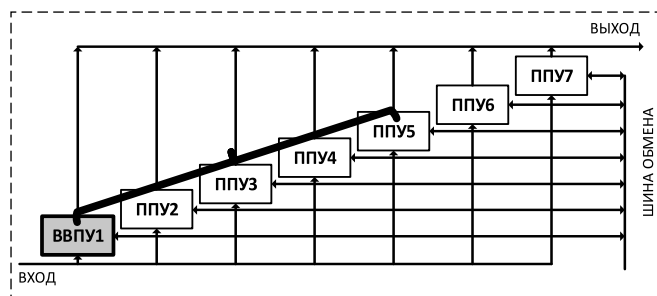


Рис. 9. Арбитраж ПУ на третьем уровне иерархии ВычС
Fig. 9. Arbitration of processor nodes at the third level of the computing system hierarchy

Проведение арбитража процессоров В2ПУ на втором уровне иерархии ВычС на роль ВВПУ по правилам, аналогичным пункту 4. Рис. 9 поясняет схему арбитража.

7. Получение СС7 из вновь определенно-го ВВПУ (на это указывает отсутствие знака "минус"). Выдача данных ВыД из ВВПУ через ДВыД в основной КВыД. Выдача данных ВыД из В2ПУ через ДВыД в резервный КВыД. После завершения выдачи данных переход к началу цикла.

В расписанном цикле работы системы управления избыточностью ВычС сформирована иерархическая последовательность компонентов ПУ1, ПУ5, ПУ3, ПУ7, ПУ2, ПУ4 и ПУ6 с нисходящими значениями показателей эффективности, которыми в зависимости

от содержания, вкладываемого в ПУЭ, могут быть работоспособность, точность, надежность, остаток ресурса или др.

Следует обратить внимание на то, что процедура попарного арбитража, а также факт перехода нечетного ПУ на следующий уровень арбитража вне конкурса внесли некоторые изменения в исходный оговоренный ранее иерархический порядок ПУ1, ..., ПУ7.

В некоторый момент времени вводится в систему отказ ПУ1, а поскольку он на текущем этапе является ВВПУ, это событие приводит к невозможности выдачи им управляющих синхросигналов в остальные ПУ.

Следующий по иерархии за отказавшим ПУ — В2ПУ5 (ПУ5), не получивший в оговоренное время управляющий синхросигнал, инициирует новый рабочий цикл системы управления избыточностью:

1. Получение СС1 из ПУ5. Ввод исходных данных.
2. Получение СС2 из ПУ5. Проверка актуальности данных, решение текущей вычислительной задачи, определение ПУЭ.
3. Получение СС3 из ПУ5. Обмен внутренними данными при необходимости восстановления вычислительного процесса в ПУ, не достигших успешного завершения этапа.
4. Получение СС4 из ПУ5. Проведение арбитража ПУ на первом уровне иерархии ВычС. Присвоение статусов ППУ и В1ПУ на основе сопоставления ПУЭ в парах с учетом оговоренных правил (рис. 10).

5. Получение СС5 из ПУ5. Выдача СА из В1ПУ (подтверждение выполнения роли в соответствии со статусом) для ППУ своей пары. Проведение арбитража процессоров В1ПУ на втором уровне иерархии ВычС на роль В2ПУ по правилам, аналогичным пункту 4. Рис. 11 поясняет схему арбитража.

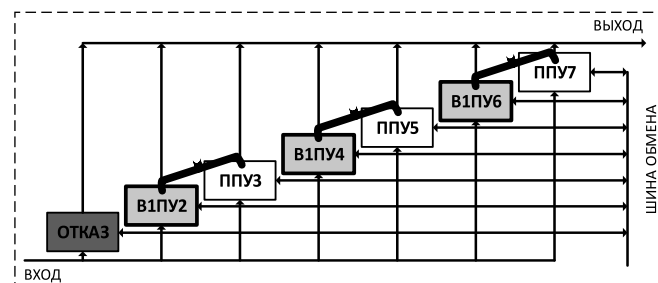


Рис. 10. Арбитраж ПУ на первом уровне иерархии ВычС с учетом отказа ПУ1
Fig. 10. Arbitration of processor nodes at the first level of the computing system hierarchy considering the failure of the processor node 1

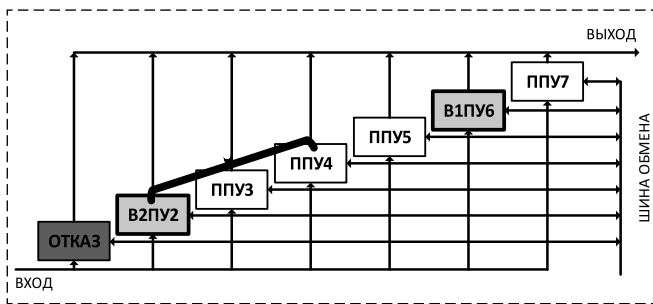


Рис. 11. Арбитраж ПУ на втором уровне иерархии ВычС с учетом отказа ПУ1

Fig. 11. Arbitration of processor nodes at the second level of the computing system hierarchy considering the failure of the processor node 1

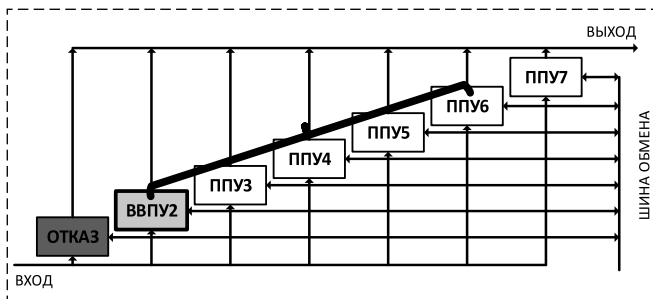


Рис. 12. Арбитраж ПУ на третьем уровне иерархии ВычС с учетом отказа ПУ1

Fig. 12. Arbitration of processor nodes at the third level of the computing system hierarchy considering the failure of the processor node 1

6. Получение СС6 из ПУ5. Выдача СА из В2ПУ (подтверждение выполнения роли в соответствии со статусом) для ППУ своей пары. Проведение арбитража процессоров В2ПУ на втором уровне иерархии ВычС на роль ВВПУ по правилам, аналогичным пункту 4. Рис. 12 поясняет схему арбитража.

7. Получение СС7 из вновь определенного ВВПУ (на это указывает отсутствие знака "минус"). Выдача данных ВыД из ВВПУ через ДВыД в основной КВыД. Выдача данных ВыД из В2ПУ через ДВыД в резервный КВыД. После завершения выдачи данных переход к началу цикла.

Функционирование системы управления разнородной избыточностью вычислительной системы в части учета и парирования отказов ПУ различных уровней сводится к следующему:

- в случае отказа ВВПУ (отсутствие или несвоевременная выдача СС) его функции перехватываются $V(N - 1)$ ПУ для инициирования нового рабочего цикла;
- при нештатной работе $V(M)$ ПУ (где $M = 1, \dots, N - 1$) (отсутствие или несвоевременная

выдача СА) он не участвует в арбитраже на текущем этапе работы, и остальными ПУ считается отказавшим (несмотря на потенциальную возможность функционировать в режиме ППУ);

- отказавший ППУ изолируется остальными ПУ, его выходные данные не принимаются во внимание.

Заключение

Предлагаемый подход к осуществлению автоматического управления избыточностью вычислительной системы может использоваться для создания отказоустойчивой интегрированной вычислительной среды в перспективных комплексах бортового оборудования в целях обеспечения их безотказности и безопасности функционирования.

Список литературы

1. Bernard S., Garcia J. Braking Systems with New IMA Generation // SAE Technical Paper, 2011-01-2662.
2. Федосов Е. А., Косьянчук В. В., Сельвесюк Н. И. Интегрированная модульная авионика // Радиоэлектронные технологии. 2015. № 1. С. 66—71.
3. Тарасов А. А. Функциональная реконфигурация отказоустойчивых систем. М.: Логос, 2012.
4. Клепиков В. И. Отказоустойчивость распределенных систем управления. М.: Золотое сечение, 2014.
5. Сарапулов А. В., Уманский А. Б. Реконфигурирование бортовой вычислительной машины для повышения отказоустойчивости // Вестник Томского государственного университета. 2017. № 38. С. 59—62. DOI: 10.17223/19988605/38/9.
6. Bukov V., Kutahov V., Bekkiev A. Avionics of Zero Maintenance Equipment // 27th Congress of the International Council of the Aeronautical Sciences, 19—24 September 2010, Nice, France, ICAS 2010, CD-ROM Proc. ISBN 978-0-9565333-0-2, Paper Number 7-1-1.
7. Буков В. Н., Евгенов А. В., Шурман В. А. Интегрированные комплексы бортового оборудования с управляемой функциональной избыточностью // Актуальные проблемы и перспективные направления развития комплексов авиационного оборудования: Сб. науч. статей по материалам V Междунар. науч.-практ. конф. Академические Жуковские чтения, 22—23 ноября 2017. Воронеж: КВАЛИС, 2018. С. 23—28.
8. Агеев А. М., Бронников А. М., Буков В. Н., Гамаюнов И. Ф. Супервизорный метод управления технических систем с избыточностью // Изв. РАН. Теория и системы управления. 2017. № 3. С. 72—82.
9. Шульга Т. Э. Метод построения восстанавливающих последовательностей для систем без потери информации // Системы управления и информационные технологии. 2009. № 3(35). С. 407—411.
10. Авакян А. А., Сучков В. Н., Искандеров Р. Д., Шурман В. А., Копненко М. В., Вовчук Н. Г. Способ и вычислительная система отказоустойчивой обработки информации критических функций летательных аппаратов. Патент RU 2413975 C2. Бюл. № 7 от 10.03.2011.
11. Воробьев А. В., Буков В. Н., Шурман В. А., Дьяченко А. М., Яковлев Ю. А., Гнусин М. Ю. Способ автоматического управления избыточностью неоднородной вычислительной системы и устройство для его реализации. Патент RU 2612569 C2. Бюл. № 7 от 09.03.2017.

Redundant Computing Resources Management of Integrated Modular Avionics

V. N. Bukov¹, v_bukov@mail.ru, V. A. Shurman², vshurman@rpkb.ru,

I. F. Gamayunov³, ilyagama@gmail.com, A. M. Ageev³, ageev_bbc@mail.ru

¹Joint Stock Company "International Aeronavigation Systems Concern", 127015, Moscow, Russian Federation,

²Ramenskoye Instrument Design Bureau, 140103, Ramenskoye, Russian Federation,

³Air Force Academy, 394064, Voronezh, Russian Federation

Corresponding author: **Gamayunov Ilya F.**, Ph. D., Associate Professor,
Air Force Academy, 394064, Voronezh, Russian Federation, e-mail: ilyagama@gmail.com

Accepted on February 28, 2019

Abstract

In article the structure and the control algorithm are considered by diverse redundancy of the computing system of the perspective integrated modular avionics. Computing resources of the integrated modular avionics system are generally represented by heterogeneous computing systems used for information processing as part of the onboard integrated computing environment. The basis of heterogeneous computing systems are processor nodes, redundancy of computing systems is that the number of processor nodes is greater than one. The task is to synthesize such a computer system in which the automatic control of redundant computational resources would be carried out by using the own capabilities of the processor nodes and without the use of additional hardware resources. It is considered that the redundant computer system performs meaningful calculations of the problem solved by several processor nodes in parallel. All meaningful calculations for any signs initially divided into relatively short stages, providing an opportunity to assess the effectiveness of the completion of each of them. The computational system redundancy management is based on the periodic calculation and comparison of the success indicators of the stage. Pairwise arbitration of processor nodes is carried out according to a hierarchical scheme by comparing the values of the success indicators of the stages of the same name. Subsequent reconfiguration of the computer system allocates passive and leading processor nodes in pairs at all levels of the hierarchical scheme. The failure of the passive processor node does not affect the execution of the main cycle. The failure of the host processor node does not cause interruptions in the output of the results of calculations, but destroys the structure of reserves, which is restored after arbitration in the next cycle. Failure of the lead CPU top node leads to the failure output in the current cycle, the computational process is restored along with the new hierarchy of the computing system in the next cycle. The proposed solution is aimed at parrying both hardware failures and software malfunction. The methodical example based on the computer system of the modern onboard equipment complex of the transports category aircraft is resulted.

Keywords: onboard equipment complex, integrated modular avionics, redundant resources management

For citation:

Bukov V. N., Shurman V. A., Gamayunov I. F., Ageev A. M. Redundant Computing Resources Management of Integrated Modular Avionics, *Mekhatronika, Avtomatizatsiya, Upravlenie*, 2019, vol. 20, no. 6, pp. 376–384.

DOI: 10.17587/mau.20.376-384

References

1. Bernard S., Garcia J. Braking Systems with New IMA Generation, *SAE Technical Paper*, 2011-01-2662.
2. Fedosov E. A., Kos'yanchuk V. V., Sel'vesyuk N. I. *Radioelektronnyye tehnologii*, 2015, no. 1, pp. 66–71 (in Russian).
3. Tarasov A. A. *Funktsional'naya rekonfiguratsiya otkazoustooychivyykh system* (Functional reconfiguration of fault-tolerant systems), Moscow, Logos, 2012 (in Russian).
4. Klepikov V. I. Fault tolerance of distributed control systems, Moscow, *Zolotoye secheniye*, 2014 (in Russian).
5. Sarapulov A. V., Umanskii A. B. *Vestnik Tambovskogo gosudarstvennogo universiteta*, 2017, no. 38, pp. 59–62, DOI: 10.17223/19988605/38/9 (in Russian).

6. Bukov V., Kutahov V., Bekkiev A. 27th Congress of the International Council of the Aeronautical Sciences, 19–24 September 2010, Nice, France, ICAS 2010, CD-ROM Proc. ISBN 978-0-9565333-0-2, Paper Number 7-1-1.
7. Bukov V. N., Evgenov A. V., Shurman V. A. *Akademicheskoye zhukovskoye chteniye*, Voronezh, *KVALIS*, 2018, pp. 23–28 (in Russian).
8. Ageev A. M., Bronnikov A. M., Bukov V. N., Gamayunov I. F. *J. Comput. Syst. Sci. Int.*, 2017, vol. 56, no. 3, pp. 410–419, DOI:10.1134/S1064230717030029.
9. Shul'ga T. E. *Sistemy upravleniya i informatsionnyye tehnologii*, 2009, no. 3(35), pp. 407–411 (in Russian).
10. Avakyan A. A., Suchkov V. N., Iskanderov R. D., Shurman V. A., Kopnyonkova M. V., Vovchuk N. G. Method and computing system for fault-tolerant information processing of critical functions of an aircraft, Patent RU 2413975 C2, Bul. no. 7, 10.03.2011 (in Russian).
11. Vorob'yov A. V., Bukov V. N., Shurman V. A., D'yachenko A. M., Yakovlev Yu. A., Gnusin M. Yu. Method for automatic control of redundancy of a heterogeneous computing system and the device for its implementation, Patent RU 2612569 C2, Bul. no. 7, 09.03.2017 (in Russian).

Издательство "НОВЫЕ ТЕХНОЛОГИИ"

107076, Москва, Строминский пер., 4

Телефон редакции журнала: (499) 269-5510, (499) 269-5397

Технический редактор Е. В. Конова. Корректор Е. В. Комиссарова.

Сдано в набор 29.03.2019. Подписано в печать 24.05.2019. Формат 60×88 1/8. Бумага офсетная. Усл. печ. л. 8,86. Заказ МН619. Цена договорная.

Журнал зарегистрирован в Комитете Российской Федерации по делам печати, телерадиовещания и средств массовых коммуникаций

Свидетельство о регистрации ПИ № 77-11648 от 21.01.02

Учредитель: Издательство "Новые технологии"

Оригинал-макет ООО "Авансд солишнз". Отпечатано в ООО "Авансд солишнз". 119071, г. Москва, Ленинский пр-т, д. 19, стр. 1. Сайт: www.aov.ru